

PAT-NO: JP406084946A

DOCUMENT-IDENTIFIER: JP 06084946 A

TITLE: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: March 25, 1994

INVENTOR-INFORMATION:

NAME

OTA, NORIO

ARAKAWA, FUMIHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

DAINIPPON PRINTING CO LTD

N/A

APPL-NO: JP04255683

APPL-DATE: August 31, 1992

INT-CL (IPC): H01L021/336, H01L029/784 , G02F001/136

US-CL-CURRENT: 148/DIG.151, 257/59 , 438/FOR.420

ABSTRACT:

PURPOSE: To provide an active matrix liquid crystal display device and a method for manufacturing the same in which an area of an opening contributing to display can be improved by accurately aligning a black matrix layer.

CONSTITUTION: A groove forming insulating film 16 is formed on a glass board 1 for a semiconductor element, and a groove is formed on a predetermined region. A black matrix layer 2 is formed in a bottom of the groove, an intermediate insulating layer 17, a gate electrode 3, a gate insulating film 4, a semiconductor channel layer 5, ohmic contact layers 6S, 6D are formed thereon, and further, a display electrode 7, a source electrode 8, a drain electrode 9, a passivation film 10 are formed. The film 4, the electrode 7, the film 10 are used with the layer 2 as a mask, and formed by patterning by back exposure from a lower surface of a board, hence these layers have self-alignment with each other, and hence an area of an opening of the electrode 7 can be increased.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-84946

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/136	5 0 0	9018-2K	H 0 1 L 29/ 78	3 1 1 Y
		9056-4M		3 1 1 A
		9056-4M		

審査請求 未請求 請求項の数7(全 12 頁)

(21)出願番号 特願平4-255683

(22)出願日 平成4年(1992)8月31日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 太田 範雄

東京都新宿区市谷加賀町1丁目1番1号

大日本印刷株式会社内

(72)発明者 荒川 文裕

東京都新宿区市谷加賀町1丁目1番1号

大日本印刷株式会社内

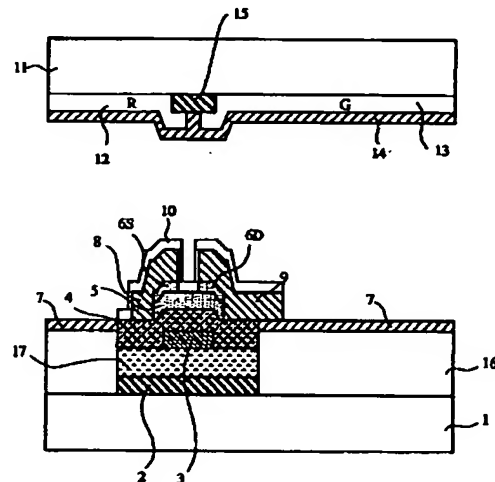
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 アクティブマトリックス液晶表示装置およびその製造方法

(57)【要約】

【目的】 ブラックマトリックス層の位置合わせを正確に行うことにより、表示に寄与する開口部の面積を向上させることのできるアクティブマトリックス液晶表示装置およびその製造方法を提供する。

【構成】 半導体素子用ガラス基板1上に、溝形成用絶縁層16を形成し、所定領域に溝を形成する。この溝の底部に、ブラックマトリックス層2を形成し、この上に、中間絶縁層17、ゲート電極3、ゲート絶縁膜4、半導体チャネル層5、オーミック接触層6S、6Dを形成し、更に、表示電極7、ソース電極8、ドレイン電極9、パッシベーション膜10を形成する。ゲート絶縁膜4、表示電極7、パッシベーション膜10は、ブラックマトリックス層2をマスクとして用い、基板下面からのバック露光によるパターンニングで形成されるため、これら各層は相互に自己整合性をもつようになり、表示電極7の開口部の面積を広くとることができる。



1: 半導体素子用ガラス基板
2: ブラックマトリックス層
3: ゲート電極
4: ゲート絶縁膜
5: 半導体チャネル層 (a-Si)
6S, 6D: オーミック接触層 (a⁺ a-Si)
7: 表示電極

8: ソース電極
9: ドレイン電極
10: パッシベーション膜
11: コラーフィルタ用ガラス基板
12: コラーフィルタ層 (例えば青色)
13: コラーフィルタ層 (例えば赤色)
14: 共通電極
15: ブラックマトリックス層
16: 溝形成用絶縁層
17: 中間絶縁層

1

【特許請求の範囲】

【請求項1】 平面上に複数の画素を定義した透光性の第1および第2の基板を対向して配置し、両基板間に液晶を充填し、

前記第1の基板上に、各画素領域ごとに所定の色のフィルタを配置したカラーフィルタ層と、液晶の光学的特性を制御する電圧を印加するための一方の電極となる透明な共通電極と、を形成し、

前記第2の基板上に、液晶の光学的特性を制御する電圧を印加するための他方の電極となる表示電極を各画素領域ごとに形成し、この各表示電極に与える電圧を制御するためのトランジスタ素子を各画素領域ごとに形成し、充填した液晶の光学的特性を各画素ごとに制御できるようにしたアクティブマトリックス液晶表示装置において、

前記第2の基板上に、所定位置に溝が掘られた透明な絶縁層を形成し、この溝の底部に、表示の際に各画素の境界領域を鮮明にするための遮光性のブラックマトリックス層を形成し、このブラックマトリックス層の上にトランジスタ素子を形成したことを特徴とするアクティブマトリックス液晶表示装置。

【請求項2】 請求項1に記載の液晶表示装置において、ブラックマトリックス層の一部分の上に、絶縁膜を挟んで上部電極を形成し、前記ブラックマトリックス層の一部分と前記上部電極とによって容量素子を構成するようにし、この容量素子を表示電極における蓄積電荷の保持を行う保持容量素子として利用するようにしたことを特徴とするアクティブマトリックス液晶表示装置。

【請求項3】 請求項1に記載の液晶表示装置を製造する方法において、

酸化により透明な絶縁体を形成する性質をもった金属材料による金属層を第2の基板上に形成する段階と、

前記金属層上に、ブラックマトリックス層形成領域を被覆するパターンをもったレジスト層を形成し、前記金属層の前記レジスト層から露出している領域を酸化して酸化絶縁層を形成する段階と、

前記レジスト層を除去し、酸化を受けなかった金属層部分をブラックマトリックス層とする段階と、

このブラックマトリックス層上に中間絶縁層を形成する段階と、

この中間絶縁層上にトランジスタ素子を形成する段階と、

を有することを特徴とするアクティブマトリックス液晶表示装置の製造方法。

【請求項4】 請求項3に記載の液晶表示装置の製造方法において、

レジスト層を除去した後、酸化を受けなかった金属層の上層部分を酸化し、この酸化によって得られる酸化絶縁膜を中間絶縁層とし、酸化を受けなかった下層部分をブ

2

ラックマトリックス層とすることを特徴とするアクティブマトリックス液晶表示装置の製造方法。

【請求項5】 請求項3に記載の液晶表示装置の製造方法において、

トランジスタ素子の構成要素となるゲート絶縁膜のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたことを特徴とするアクティブマトリックス液晶表示装置の製造方法。

【請求項6】 請求項3に記載の液晶表示装置の製造方法において、

各表示電極のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたことを特徴とするアクティブマトリックス液晶表示装置の製造方法。

【請求項7】 請求項3に記載の液晶表示装置の製造方法において、

トランジスタ素子の構成要素となるパッシベーション膜のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたことを特徴とするアクティブマトリックス液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】省電力型のディスプレイとして、液晶表示装置は広範囲な用途に利用されている。一般的に用いられているアクティブマトリックス液晶表示装置は、透光性の2枚の基板を対向して配置し、両基板間に液晶を充填し、両基板間に印加する電圧によって、充填した液晶の光学的特性を各画素ごとに制御できるようにしたものである。カラー表示を行う装置では、第1の基板上に、各画素領域ごとに所定の色のフィルタを配置したカラーフィルタ層と、電圧を印加するための一方の電極となる透明な共通電極と、が形成される。また、第2の基板上には、電圧を印加するための他方の電極となる表示電極と、この表示電極に与える電圧を制御するためのトランジスタ素子とが、各画素領域ごとに形成され、各トランジスタ素子をON/OFF動作することにより、各画素ごとに液晶の光学的特性が制御される。

【0003】

【発明が解決しようとする課題】カラー表示を行うアクティブマトリックス液晶表示装置では、前述したように、第1の基板上にカラーフィルタ層が形成される。このカラーフィルタ層は、所定の色（たとえば、R：赤、G：緑、B：青）のフィルタを各画素ごとに並べたものであり、隣接する画素には異なる色のフィルタが配置されることになる。したがって、このカラーフィルタ層を

用いただけでは、画素の境界領域が不鮮明になってしまふ。そこで、画素の境界領域を鮮明にするために、このカラーフィルタ層の各フィルタの境界部分に重なるように、ブラックマトリックス層が形成される。このブラックマトリックス層は、遮光性の材料からなり、各画素ごとのフィルタを眼鏡のレンズに例えれば、このブラックマトリックス層は眼鏡の縁に相当するものになる。

【0004】このように、第1の基板側にブラックマトリックス層を形成する必要があるため、従来のアクティブマトリックス液晶表示装置では、製造時に高精度な位置合わせ工程が必要であるという問題がある。すなわち、第1の基板を第2の基板に対向して配置した場合、第2の基板側に形成された表示電極と、第1の基板側に形成されたブラックマトリックス層とを、正確に位置合わせしなければならぬ。しかしながら、現実的には、誤差の全くない正確な位置合わせを行うことは不可能であり、互いに5 μ mほどの重なりを生じるような重ね合わせ部を、位置合わせ誤差のための余裕として設けておく必要がある。そのため、この重ね合わせ部の分だけ、実際の表示に寄与する開口部の面積が減少し、透過できる光量が減少してしまうという問題がある。

【0005】そこで本発明は、ブラックマトリックス層の位置合わせを正確に行うことにより、表示に寄与する開口部の面積を向上させることのできるアクティブマトリックス液晶表示装置およびその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

(1) 本願第1の発明は、平面上に複数の画素を定義した透光性の第1および第2の基板を対向して配置し、両基板間に液晶を充填し、第1の基板上に、各画素領域ごとに所定の色のフィルタを配置したカラーフィルタ層と、液晶の光学的特性を制御する電圧を印加するための一方の電極となる透明な共通電極と、を形成し、第2の基板上に、液晶の光学的特性を制御する電圧を印加するための他方の電極となる表示電極を各画素領域ごとに形成し、この各表示電極に与える電圧を制御するためのトランジスタ素子を各画素領域ごとに形成し、充填した液晶の光学的特性を各画素ごとに制御できるようにしたアクティブマトリックス液晶表示装置において、第2の基板上に、所定位置に溝が掘られた透明な絶縁層を形成し、この溝の底部に、表示の際に各画素の境界領域を鮮明にするための遮光性のブラックマトリックス層を形成し、このブラックマトリックス層の上にトランジスタ素子を形成するようにしたものである。

【0007】(2) 本願第2の発明は、上述の第1の発明に係る液晶表示装置において、ブラックマトリックス層の一部分の上に、絶縁膜を挟んで上部電極を形成し、ブラックマトリックス層の一部分と上部電極とによって容量素子を構成するようにし、この容量素子を表示電極

における蓄積電荷の保持を行う保持容量素子として利用するようにしたものである。

【0008】(3) 本願第3の発明は、上述の第1の発明に係る液晶表示装置を製造する方法において、酸化により透明な絶縁体を形成する性質をもった金属材料による金属層を第2の基板上に形成する段階と、この金属層上に、ブラックマトリックス層形成領域を被覆するパターンをもったレジスト層を形成し、金属層のレジスト層から露出している領域を酸化して酸化絶縁層を形成する段階と、レジスト層を除去し、酸化を受けなかった金属層部分をブラックマトリックス層とする段階と、このブラックマトリックス層上に中間絶縁層を形成する段階と、この中間絶縁層上にトランジスタ素子を形成する段階と、を行うようにしたものである。

【0009】(4) 本願第4の発明は、上述の第3の発明に係る液晶表示装置の製造方法において、レジスト層を除去した後、酸化を受けなかった金属層の上層部分を酸化し、この酸化によって得られる酸化絶縁膜を中間絶縁層とし、酸化を受けなかった下層部分をブラックマトリックス層とするようにしたものである。

【0010】(5) 本願第5の発明は、上述の第3の発明に係る液晶表示装置の製造方法において、トランジスタ素子の構成要素となるゲート絶縁膜のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたものである。

【0011】(6) 本願第6の発明は、上述の第3の発明に係る液晶表示装置の製造方法において、各表示電極のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたものである。

【0012】(7) 本願第7の発明は、上述の第3の発明に係る液晶表示装置の製造方法において、トランジスタ素子の構成要素となるパッシベーション膜のパターニングを行うときに、ブラックマトリックス層をマスクとして、第2の基板の下面側からのバック露光を行うようにしたものである。

【0013】

【作 用】本発明に係るアクティブマトリックス液晶表示装置の特徴は、ブラックマトリックス層を、フィルタが形成されている第1の基板側ではなく、トランジスタ素子が形成されている第2の基板側に形成する点にある。すなわち、ブラックマトリックス層は、トランジスタ素子の構成要素の一部として構造的に組み込まれることになる。このため、第2の基板側に形成されるゲート絶縁膜、表示電極、パッシベーション膜、などのパターニングを、このブラックマトリックス層をマスクとしたバック露光により行うことができる。これにより、ブラックマトリックス層に対して自己整合性をもったゲート絶縁膜、表示電極、パッシベーション膜、などの形成を

5

行うことができるようになり、実際の表示に寄与する開口部の面積をできるだけ広く確保することが可能になる。

【0014】しかも、本発明では、第2の基板上に溝をもった透明な絶縁層を形成し、この溝内にブラックマトリックス層を形成している。このため、第2の基板側にブラックマトリックス層を形成したにもかかわらず、第2の基板側の新たな構成要素となったブラックマトリックス層による構造的な盛り上がりが生じるのを防ぐことができ、ディスプレイの表示画面上においてコントラストが低減するのを防ぐことができる。また、第2の基板上に形成されたブラックマトリックス層を利用して、保持容量素子の形成を行うことも可能になる。

【0015】

【実施例】以下、本発明を図示する実施例に基づいて説明する。図1は、一般的なアクティブマトリックス液晶表示装置の基本構造を示す斜視図である。この装置の主たる構成要素は、カラーフィルタ用ガラス基板100と半導体素子用ガラス基板200である。両基板は、いずれも透光性をもち、それぞれの平面上には、複数の画素が定義されている。図1に示す例では、便宜上、3×3に配列された9画素が定義されているが、実際には、より多数の画素が定義される。両基板は互いに平行となるように対向して配置され、それぞれ対応する画素が向かい合った状態となる。カラーフィルタ用ガラス基板100の上面には、偏光板110が配置され、半導体素子用ガラス基板200の下面には、偏光板210が配置される。カラーフィルタ用ガラス基板100の下面には、カラーフィルタ層120および共通電極130が形成されている。カラーフィルタ層120は、この実施例では、R：赤、G：緑、B：青、の3色のフィルタを各画素ごとに配置したものである。共通電極130は、1枚の透明電極材料によって構成されている。一方、半導体素子用ガラス基板200上には、各画素ごとに、表示電極220と、この表示電極の電位を制御するためのトランジスタ素子230と、が形成されている。トランジスタ素子230は、ゲート電極が走査線240に、ソース電極がデータ線250に、ドレイン電極が表示電極220に、それぞれ接続されている。

【0016】このような構造において、走査線240に所定の電圧を供給してトランジスタ素子230をON状態にすれば、表示電極220の電位をデータ線250の電位と同じレベルにすることができ、トランジスタ素子230をOFF状態にすれば、表示電極220の電位をそのままの状態に維持させることができる。カラーフィルタ用ガラス基板100と半導体素子用ガラス基板200との間には、液晶が充填されている。この液晶は、上方の共通電極130と下方の表示電極との間に挟まれた状態となり、両電極間の電位差に応じて光学的特性を変化させる。こうして、液晶の光学的特性を各画素ごとに

6

制御することができるようになる。したがって、図の下方から照射された白色光の透過／不透過を各画素単位で制御することができ、図の上方から観察した場合、各画素単位の発光／不発光を制御することができる。

【0017】ところで、カラーフィルタ層120は、R、G、Bの3色のフィルタを各画素ごとに配列して構成されるが、このままの状態では、各画素の境界領域が不鮮明になる。この境界領域を鮮明にするために、ブラックマトリックス層が用いられることは既に述べたとおりである。このブラックマトリックス層は、カラーフィルタ層120の各色フィルタの境界部分にフレームのような構造で形成される（図1には示されていない）。このブラックマトリックス層の構造は、構造断面図によって明瞭に示すことができる。図2に、従来の一般的なアクティブマトリックス液晶表示装置の1画素分の領域の構造断面図を示し、図3に、本発明に係るアクティブマトリックス液晶表示装置の1画素分の領域の構造断面図を示す。図3に示す本発明の装置の特徴は、半導体素子用ガラス基板1側にブラックマトリックス層2が形成されている点にある。以下、この構造について詳述する。

【0018】まず、図2に示す従来装置の構造から説明する。この装置の主たる構成要素は、半導体素子用ガラス基板1（図1における基板200に相当）と、その上方に配置されたカラーフィルタ用ガラス基板11（図1における基板100に相当）である。この装置では、ブラックマトリックス層2は、カラーフィルタ用ガラス基板11側に形成されている。半導体素子用ガラス基板1上のトランジスタ素子形成領域には、金属からなるゲート電極3が形成され、その上に、SiNxからなるゲート絶縁膜4を介して、アモルファスシリコンからなる半導体チャネル層5およびn型の不純物をドーピングしたアモルファスシリコンからなるオーミック接触層6S、6Dが形成されている。また、トランジスタ素子形成領域の右隣には、透明な表示電極7（図1における表示電極220に相当）が形成されている。トランジスタ素子形成領域においては、更に、金属からなるソース電極8およびドレイン電極9が形成され、その上に、パッシベーション膜10が形成されている。オーミック接触層6S、6Dは、半導体チャネル層5とソース電極8との間、あるいは、半導体チャネル層5とドレイン電極9との間における電気的な接続をオーミックにするための中間層である。ゲート電極3に印加する電圧により、半導体チャネル層5を導通状態にしたり、非導通状態にしたり制御することができる。ドレイン電極9は表示電極7に接続されており、ソース電極8に供給される電荷を、半導体チャネル層5を通じて表示電極7に出し入れすることが可能になる。

【0019】一方、この半導体素子用ガラス基板1の上方に対向するように配置されるカラーフィルタ用ガラス基板11の下面には、所定のパターンでブラックマトリ

ックス層2およびカラーフィルタ層12、13（図1におけるカラーフィルタ層120に相当）が形成されており、その下面には、共通電極14（図1における共通電極130に相当）が形成されている。なお、図2において、カラーフィルタ層12はR（赤色）のフィルタ、カラーフィルタ層13はG（緑色）のフィルタであるが、これは例示した1画素分の領域に位置するカラーフィルタ層がこの色のフィルタであっただけのことであり、実際には、図1のカラーフィルタ層120に示すように、R、G、Bのフィルタが交互に配置されている。また、

ブラックマトリックス層2は、各フィルタの境界領域を埋めるような格子状のパターンを形成している。
【0020】この半導体素子用ガラス基板1とカラーフィルタ用ガラス基板11との間に液晶が充填されることになる。いま、ここで、表示電極7とブラックマトリックス層2との重複部分の幅dを考える。理論的には、この幅d=0となるように設定するのが好ましい。dを小さくすればするほど、表示電極7の開口面積が広くなり、ディスプレイが明るくなるからである。しかしながら、実際には、半導体素子用ガラス基板1とカラーフィルタ用ガラス基板11との位置合わせ誤差が生じるため、この誤差に相当する分だけ、幅dとして余裕をとっておかねばならない。一般的には、d=5μm程度に設定されている。

【0021】本発明に係る液晶表示装置では、ブラックマトリックス層2を半導体素子用ガラス基板1側に形成する構造を採ることにより、幅d=0とすることができる。以下、図3を参照しながら、この本発明に係る構造を説明する。図3において、半導体素子用ガラス基板1上に形成された構造は、基本的には、図2に示す構造と同じである。ただ、半導体素子用ガラス基板1上には、全面に溝形成用絶縁層16が形成され、この溝形成用絶縁層16には、トランジスタ素子形成領域において溝が掘られた構造となっている。そして、この溝の底部に、ブラックマトリックス層2が形成され、その上に中間絶縁層17が形成され、更にその上に、ゲート電極3、ゲート絶縁膜4、半導体チャネル層5、オーミック接触層6S、6D、ソース電極8、ドレイン電極9、パッシベーション膜10、がそれぞれ形成されている。いわば、トランジスタ素子全体が、ブラックマトリックス層2によって下駄を履かされた状態になっているが、この下駄の部分

が溝内に埋没した構造となっているため、全体的な高低差（表示電極7の上面と、パッシベーション膜10の頂上部分との差）は図2に示す従来の構造とほぼ同じになる。もちろん、トランジスタ素子の動作は全く同じである。
【0022】一方、カラーフィルタ用ガラス基板11側には、本来のブラックマトリックス層2を形成する必要はない。すなわち、カラーフィルタ用ガラス基板11の下面には、カラーフィルタ層12、13を形成し、更

に、共通電極14を形成すれば足る。しかしながら、この実施例では、カラーフィルタ層12、13の間に、別なブラックマトリックス層15を形成してある。このブラックマトリックス層15は、ブラックマトリックス層2とは別の目的のために設けられたものであり、必須のものではない。すなわち、ブラックマトリックス層2が、各画素の境界領域を鮮明にする目的で設けられているのに対し、ブラックマトリックス層15は、半導体チャネル層5に外部からの光が当たることにより、半導体チャネル層5が劣化するのを防ぐために設けられている。要するに、半導体チャネル層5に対する外光の遮蔽を行うのが目的である。したがって、ブラックマトリックス層15は、この液晶表示装置の動作に直接関係する機能をもった構成要素ではないので、必ずしも設ける必要はないが、装置寿命を考慮すれば設けておくのが好ましい。

【0023】ここで、ブラックマトリックス層2と表示電極7との重なり余裕を示す幅dに着目すると、図2に示す従来装置ではd=5μm程度必要であったのに対し、図3に示す本発明の装置ではd=0にすることができる。このため、表示電極7の開口部をより広げることが可能になる。このような構造は、実は、次に述べるようなブラックマトリックス層2をマスクとしたパターニングによる自己整合を行うことにより得られるのである。以下、この自己整合を利用して、図3に示す液晶表示装置を製造する方法を、図4以下の構造断面図を参照しながら説明する。

【0024】この製造方法のユニークな点は、ブラックマトリックス層となる材料として、酸化により透明な絶縁体を形成する性質をもった遮光性の金属材料を用いている点である。以下の実施例では、Ta、Ti、Alのような陽極酸化法により透明な絶縁体を形成する性質をもった遮光性の金属材料を用いている。このような金属材料を用いるメリットは、その一部を酸化することにより、容易に透明な絶縁層を形成させることができる点である。

【0025】まず、図4に示すように、半導体素子用ガラス基板1上に、上述した金属材料をスパッタ法や蒸着法によって全面堆積させ、金属層18を形成する。続いて、この金属層18上に、通常のフォトリソグラフィ工程によって、ブラックマトリックス層形成領域（各画素の境界領域）を被覆するパターンをもったレジスト層19を形成する。次に、図4に示す基板における金属層18の露出部分を陽極酸化法により酸化する。具体的には、たとえば、金属層18の材料としてTaを用いた場合、図4に示す状態の基板を、クエン酸水溶液に浸し、直流電圧を印加しながら陽極酸化を行えばよい。この酸化により、金属層18の露出部分は、Ta₂O₅からなる陽極酸化膜を形成する。この陽極酸化膜が、溝形成用絶縁層16となる。図5に示すように、この溝形成用絶

緑層16は、もとの金属層18に比べて厚みが増すことになる。なお、レジスト層19で被覆された領域は、もとの金属層18のままである。

【0026】次に、図6に示すように、レジスト層19を除去し、露出した金属層18の上面部分に対して、再び陽極酸化法を実施する。ただし、金属層18の所定の厚さまでを酸化するとともに、結果的に上層部分のみが酸化された状態にする。こうして、酸化された上層部分を中間絶縁層17とし、酸化されずに残った下層部分をブラックマトリックス層2とすれば、図7に示すような構造が得られることになる。図7に示す構造は、半導体素子用ガラス基板1の上に形成された溝形成用絶縁層16の一部に溝を掘り、この溝の底部にブラックマトリックス層2を、その上に中間絶縁層17を、それぞれ形成した構造となっているが、上述した陽極酸化法を行えば、溝を掘る工程などを行うことなく容易にこのような構造を得ることが可能になる。前述したように、このブラックマトリックス層2は、各画素の境界領域を埋めるような格子状のパターンをもった層となる。

【0027】続いて、この上全面に、ゲート電極を形成するための金属膜を堆積し、この金属膜に対して通常のフォトリソグラフィ工程によるパターニングを行い、図8に示すように、ゲート電極3を形成する。更に、その上に、図9に示すように、SiNxからなる絶縁層4a、アモルファスシリコンからなる真性半導体層5a、n型の不純物をドーピングしたオーミック接触層6aを、プラズマCVD法によって順次堆積する。なお、絶縁層4aの絶縁特性を向上させるために、ゲート電極3を陽極酸化が可能な材料（たとえば、Ta、Ti、Alなどの金属）で形成しておき、上述のプラズマCVD法による堆積工程の前に、ゲート電極3の上層を陽極酸化する工程を行っておき、陽極酸化膜を第1の絶縁膜、SiNxからなる絶縁層4aを第2の絶縁膜とし、ゲート絶縁膜を複合絶縁膜にするようにしてもよい。

【0028】図9に示す構造が得られたら、この上面全体にポジ型レジストを塗布し、ブラックマトリックス層2をマスクとして用い、半導体素子用ガラス基板1の下面側からのバック露光を行う。そして、レジストを現像すれば、ブラックマトリックス層2の陰になった部分だけが残る。そこで、この残ったレジストをマスクに用いてエッチングを行えば、図10に示すように、ゲート絶縁膜4、真性半導体層5b、オーミック接触層6bが得られる。これらの各層は、ブラックマトリックス層2をマスクとして用いたパターニングによって得られた層であるため、ブラックマトリックス層2に対して自己整合性をもつパターンとなっている。更に、真性半導体層5bおよびオーミック接触層6bに対して、通常のフォトリソグラフィ工程によるパターニングを行い、図11に示すように、半導体チャネル層5およびオーミック接触層6cを得る。

【0029】続いて、ITO (Indium Tin Oxide) などの透明導電膜を全面堆積し、この上面全体にネガ型レジストを塗布し、ブラックマトリックス層2をマスクとして用い、半導体素子用ガラス基板1の下面側からの2回目のバック露光を行う。そして、レジストを現像すれば、ブラックマトリックス層2の陰になった部分だけが除去される。そこで、除去されずに残ったレジストをマスクに用いてエッチングを行えば、図12に示すように、表示電極7が形成される。この表示電極7は、ブラックマトリックス層2に対して自己整合性をもつパターンとなっており、前述したように、両者間の重なり余裕を示す幅d=0となり、重なり部分が全くない構造となる。

【0030】更に、この上に、金属層を堆積し、通常のフォトリソグラフィ工程によるパターニングを行い、図13に示すように、ソース電極8およびドレイン電極9を形成する。このソース電極8およびドレイン電極9の材料となる金属としては、オーミック接触層6c (n+アモルファスシリコン) との間にシリサイド膜を形成できるようなCrやTiなどの金属を用いるのが好ましい。また、応力の緩和や低抵抗化の目的のために、ソース電極8およびドレイン電極9を多層構造（たとえば、Cr層を内側に、Al層を外側にした2層構造）としてもよい。次に、ソース電極8およびドレイン電極9をマスクとして用い、ドライエッチング法などを行って、オーミック接触層6cの中央部分を除去し、図14に示すように、オーミック接触層6cをソース側部分6Sとドレイン側部分6Dとに分離する。

【0031】最後に、この上に、SiNxなどのバッシベーション用の材料を堆積し、この上面全体にポジ型レジストを塗布し、ブラックマトリックス層2をマスクとして用い、半導体素子用ガラス基板1の下面側からの3回目のバック露光を行う。そして、レジストを現像すれば、ブラックマトリックス層2およびドレイン電極9の陰になった部分だけが残る。そこで、この残ったレジストをマスクに用いてエッチングを行えば、図15に示すように、バッシベーション膜10が得られる。このバッシベーション膜10も、ブラックマトリックス層2をマスクとして用いたパターニングによって得られた層であるため、ブラックマトリックス層2に対して自己整合性をもつパターンとなる。

【0032】以上の工程により、図3に示す液晶表示装置の半導体素子用ガラス基板1上の素子が形成できる。図16は、こうして製造された素子の主要部分の位置関係を示す平面図である。図16における切断線A-A'による断面が図15に示す構造断面図に対応する。この平面図において、二点鎖線で囲まれた各領域が表示電極7であり、ブラックマトリックス層2は、この表示電極7が形成されている領域以外のすべての領域からなるパターンで形成されている。図17は、このブラックマト

11

リックス層2のパターンのみを抽出してハッチングで示した平面図である。上述した製造工程の特徴は、ブラックマトリックス層2をマスクとしたバック露光を行うことにより、各層のパターニングを行う点にある。こうしてパターニングされた各層は、ブラックマトリックス層2に対して自己整合性をもつため、位置合わせ誤差が生じることはない。したがって、高価なマスクアライナーなどをを用いた高精度な位置合わせ処理を行う工程の回数を低減することができる。

【0033】続いて、本発明の別な実施例を述べておく。この実施例の特徴は、半導体素子用ガラス基板1側に形成されたブラックマトリックス層2を利用して、保持容量素子を形成する点にある。図3に示す構造において、互いに向き合った表示電極7と共通電極14とによって容量素子が形成され、この間に液晶が充填されることは既に述べたとおりである。トランジスタ素子230は、この容量素子に電荷を出し入れする機能を有するが、このトランジスタ素子230をOFF状態（すなわち、図3において、半導体チャネル層5が導通しない状態）に保った場合でも、この容量素子に蓄積された電荷は少しずつ漏洩する。このような電荷の漏洩の影響を少なくするために、一般に、この容量素子に並列に、別な保持容量素子が接続される。前述の実施例では、半導体素子用ガラス基板1側に、金属からなるブラックマトリックス層2が形成される。ここで述べる別な実施例は、この金属からなるブラックマトリックス層2を、保持容量素子の一方の電極として利用するものである。

【0034】前述の実施例では、表示電極7およびブラックマトリックス層2の平面的パターンは、図16および図17に示されている。これに対し、ここで述べる別な実施例では、図18および図19に示すような平面的パターンを形成する。前述の実施例に比べ、表示電極7の面積はやや小さくなり、逆にブラックマトリックス層2の面積はやや大きくなっており、更に、新たな上部電極20が形成されている。このような構成において、ブラックマトリックス層2と上部電極20とによって、保持容量素子が形成される。図18および図19における切断線B-B'の位置における構造断面図を図20に示す。ブラックマトリックス層2と上部電極20とが、区間Dにおいて、中間絶縁層17を挟んで保持容量素子を形成している。なお、この保持容量素子は、表示電極7と共通電極14とによって構成される容量素子に対して並列接続されるが、ここでは、その配線については示されていない。

【0035】切断線B-B'の位置における図20に示すような構造は、前述した実施例で述べた製造工程と全く同じ工程により得ることができる（パターニングに用いるパターンは若干変更する必要がある）。すなわち、溝形成用絶縁層16、ブラックマトリックス層2、中間絶縁層17は、図7に示す構造を得る工程で形成するこ

12

とができ、表示電極7は、図12に示す構造を得る工程で形成することができ、上部電極20は、図13に示すソース電極8およびドレイン電極9を形成する工程と一緒に構成することができる。

【0036】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。たとえば、上述の実施例では、基板としてガラス基板1を用いているが、この他の透光性のある材質の基板を用いてもかまわない。また、図13に示すオーミック接触層6cの中央部をエッチングする際に、半導体チャネル層5までがエッチングされてしまうのを防ぐため、半導体チャネル層5の上部にエッチングストップ層を形成するようにしてもかまわない。

【0037】

【発明の効果】以上のとおり、本願発明に係る半導体装置では、トランジスタ素子が形成されている基板側にブラックマトリックス層を形成するようにし、このブラックマトリックス層をマスクとしたバック露光により、自己整合性をもったゲート絶縁膜、表示電極、パッシベーション膜、などを形成するようにしたため、ブラックマトリックス層の位置合わせを正確に行うことができるようになり、表示に寄与する開口部の面積を向上させることができる。しかも、溝掘構造を採り、ブラックマトリックス層を溝内に埋没させた構造にしたため、トランジスタ素子形成領域と表示電極形成領域との間に大きな高低差が生じることもない。

【図面の簡単な説明】

【図1】一般的なアクティブマトリックス液晶表示装置の基本構造を示す斜視図である。

【図2】従来の一般的なアクティブマトリックス液晶表示装置の1画素分の領域の構造断面図である。

【図3】本発明に係るアクティブマトリックス液晶表示装置の1画素分の領域の構造断面図である。

【図4】図3に示す液晶表示装置の製造方法を示す図であり、半導体素子用ガラス基板1の上面に金属層18およびレジスト層19を形成した状態を示す構造断面図である。

【図5】図4に示す状態において、陽極酸化法により金属層18の露出部分を酸化し、溝形成用絶縁層16を形成した状態を示す構造断面図である。

【図6】図5に示す状態において、レジスト層19を除去した状態を示す構造断面図である。

【図7】図6に示す状態において、金属層18の露出部分を所定の深さまで陽極酸化し、酸化された上層部分を中間絶縁層17とし、酸化されなかった下層部分をブラックマトリックス層2とした状態を示す構造断面図である。

【図8】図7に示す状態に、更に、ゲート電極3を形成した状態を示す構造断面図である。

13

【図9】図8に示す状態において、更に、 SiN_x からなる絶縁層4a、アモルファスシリコンからなる真性半導体層5a、n型不純物を含んだオーミック接触層6aを、順次堆積させた状態を示す構造断面図である。

【図10】図9に示す状態において、ブラックマトリックス層2をマスクとして用いたバック露光によるパターンニングを実施し、ゲート絶縁膜4、真性半導体層5b、オーミック接触層6bを得た状態を示す構造断面図である。

【図11】図10に示す状態において、更に、パターンニングを行い、半導体チャネル層5およびオーミック接触層6cを得た状態を示す構造断面図である。

【図12】図11に示す状態において、透明電極を堆積させた後、ブラックマトリックス層2をマスクとして用いたバック露光によるパターンニングを実施し、表示電極7を得た状態を示す構造断面図である。

【図13】図12に示す状態において、更に、ソース電極8およびドレイン電極9を形成した状態を示す構造断面図である。

【図14】図13に示す状態において、オーミック接触層6bを6Sと6Dとに分離した状態を示す構造断面図である。

【図15】図14に示す状態において、更にパッシベーション膜10を形成した状態を示す構造断面図である。

【図16】本発明に係るアクティブマトリックス液晶表示装置の主要部分の位置関係を示す平面図であり、切断線A-A'による断面が図15に示す構造断面図に対応する。

【図17】図16から、ブラックマトリックス層2のパターンのみを抽出してハッチングで示した平面図である。

【図18】本発明の別な実施例に係るアクティブマトリックス液晶表示装置の主要部分の位置関係を示す平面図であり、切断線A-A'による断面が図15に示す構造断面図に対応し、切断線B-B'による断面が図20に示す構造断面図に対応する。

【図19】図18から、ブラックマトリックス層2およ

14

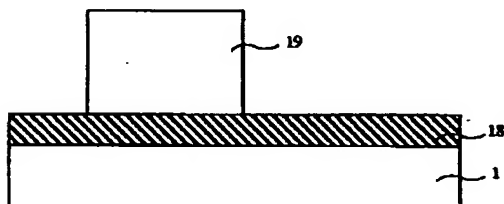
び上部電極20のパターンのみを抽出してハッチングで示した平面図である。

【図20】図18に示す液晶表示装置を、切断線B-B'の位置において切断した状態を示す構造断面図である。

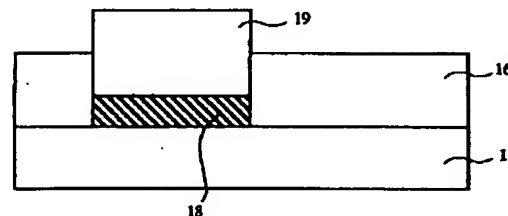
【符号の説明】

- 1…半導体素子用ガラス基板
- 2…ブラックマトリックス層
- 3…ゲート電極
- 4…ゲート絶縁膜
- 5…半導体チャネル層（アモルファスシリコン）
- 5a…真性半導体層（n+アモルファスシリコン）
- 6a, 6b, 6S, 6D…オーミック接触層
- 7…表示電極
- 8…ソース電極
- 9…ドレイン電極
- 10…パッシベーション膜
- 11…カラーフィルタ用ガラス基板
- 12, 13…カラーフィルタ層
- 14…共通電極
- 15…ブラックマトリックス層
- 16…溝形成用絶縁層
- 17…中間絶縁層
- 18…金属層
- 19…レジスト層
- 20…上部電極
- 100…半導体素子用ガラス基板
- 110…偏光板
- 120…カラーフィルタ層
- 130…共通電極
- 200…半導体素子用ガラス基板
- 210…偏光板
- 220…表示電極
- 230…トランジスタ素子
- 240…走査線
- 250…データ線

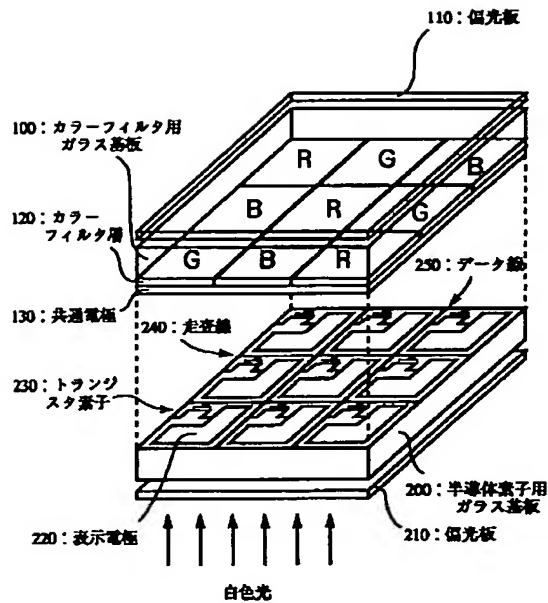
【図4】



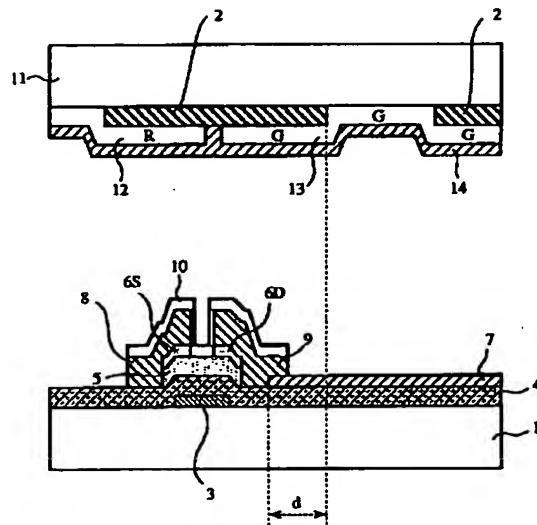
【図5】



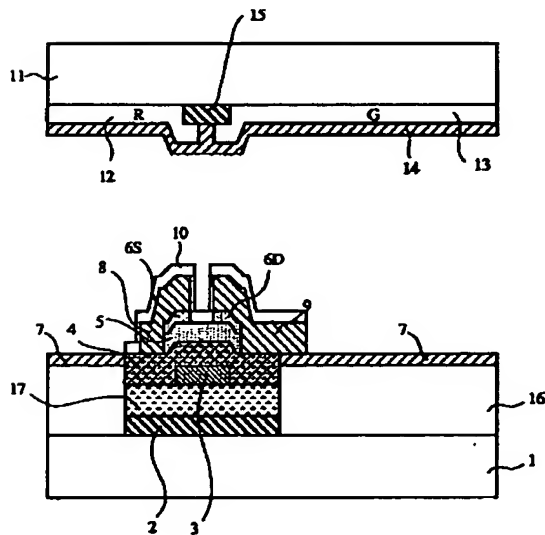
【図1】



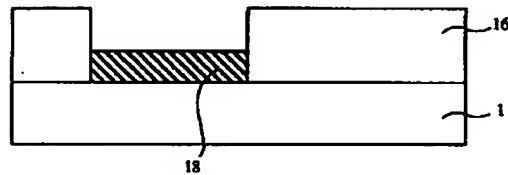
【図2】



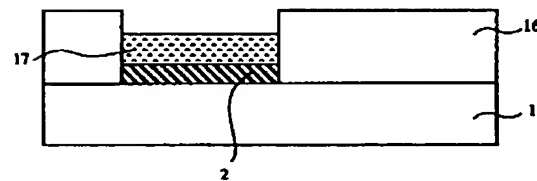
【図3】



【図6】

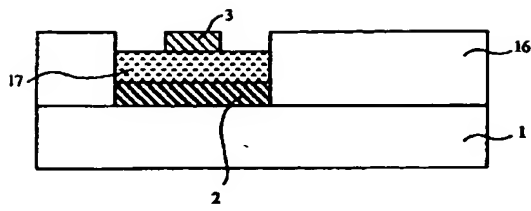


【図7】

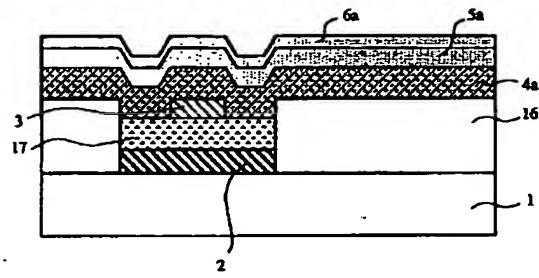


- 1: 半導体素子用ガラス基板
2: ブラックマトリックス層
3: ゲート電極
4: ゲート絶縁膜
5: 半導体チャネル層 (a-Si)
6S, 6D: オーミック接点層 (n⁺ a-Si)
7: 表示電極
- 8: ソース電極
9: ドレイン電極
10: パッシベーション膜
11: カラーフィルタ用ガラス基板
12: カラーフィルタ層 (例えば赤色)
13: カラーフィルタ層 (例えば緑色)
14: 共通電極
15: ブラックマトリックス層
16: 液晶用絶縁層
17: 中間絶縁層

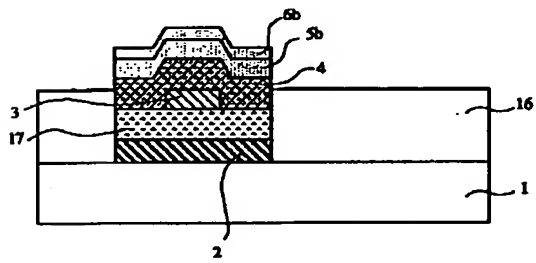
【図8】



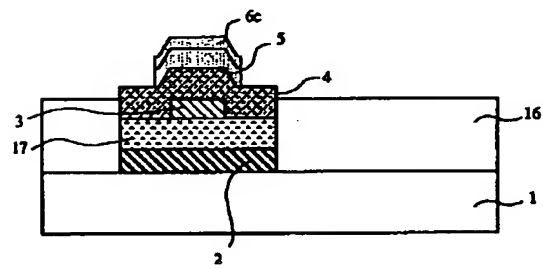
【図9】



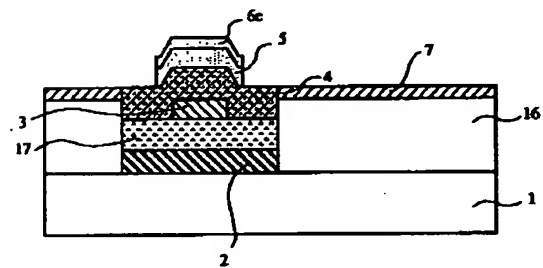
【図10】



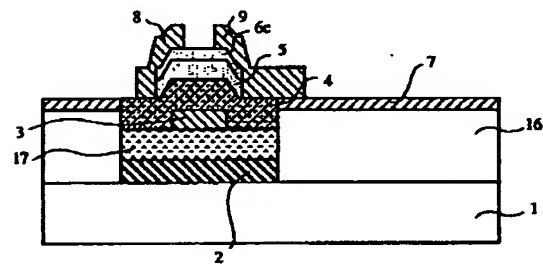
【図11】



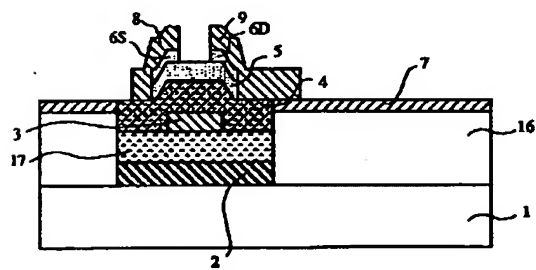
【図12】



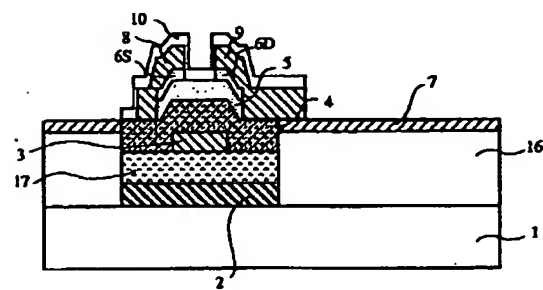
【図13】



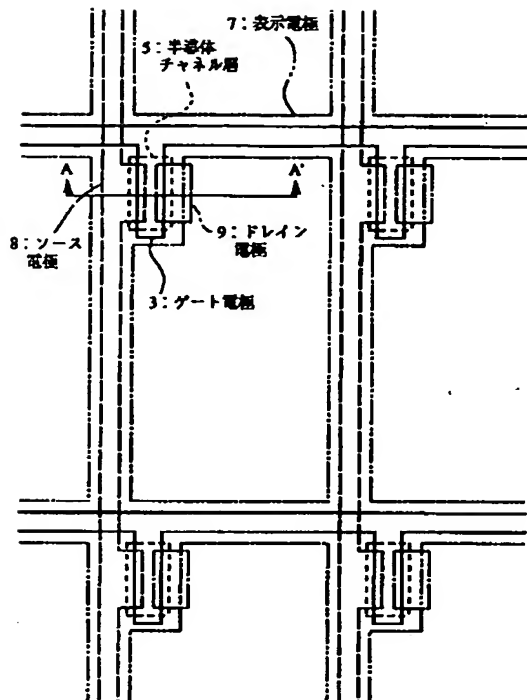
【図14】



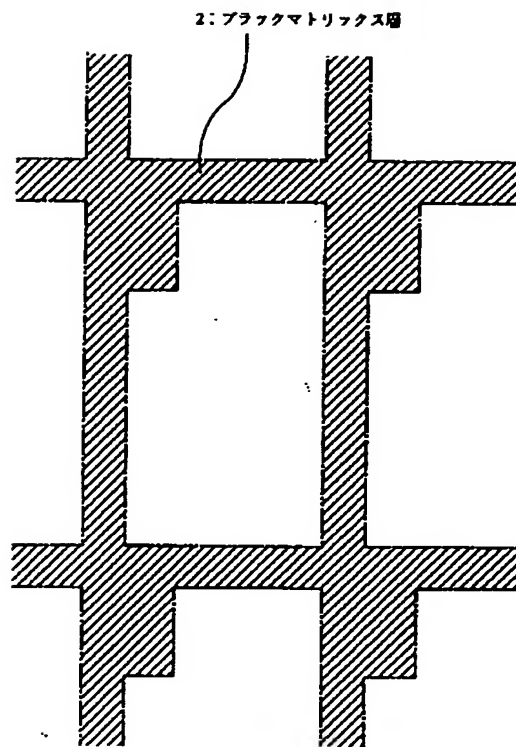
【図15】



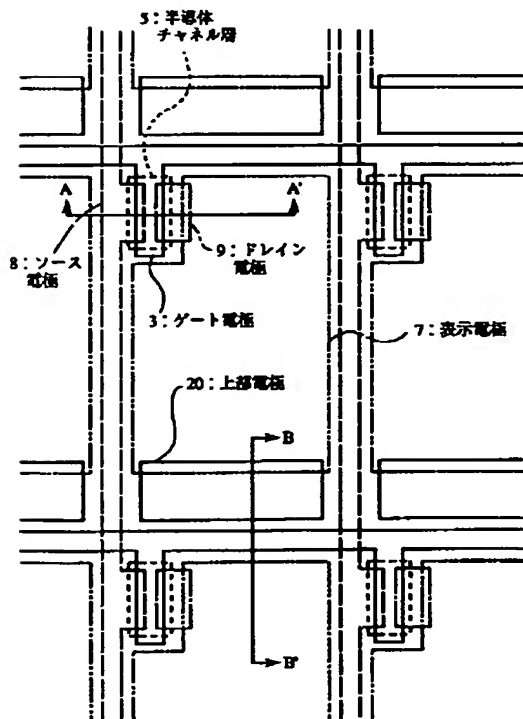
【図16】



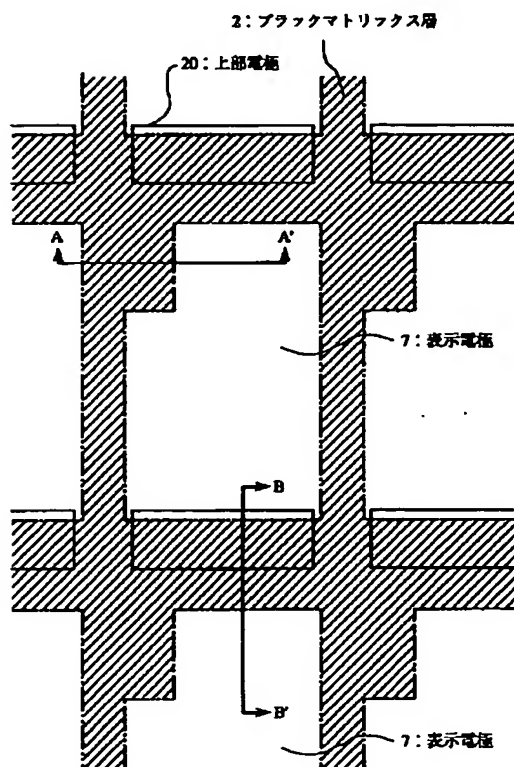
【図17】



【図18】



【図19】



【図20】

